

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

PAT-NO: JP404081820A

DOCUMENT-IDENTIFIER: JP 04081820 A

TITLE: ACTIVE MATRIX SUBSTRATE AND LIQUID CRYSTAL
DISPLAY
ELEMENT USING THE SAME

PUBN-DATE: March 16, 1992

INVENTOR-INFORMATION:

NAME

YORITOMI, YOSHIFUMI

KOSHIMO, TOSHIYUKI

NAKATANI, MITSUO

TAKANO, TAKAO

ASSIGNEE-INFORMATION:

NAME

HITACHI LTD

COUNTRY

N/A

APPL-NO: JP02194888

APPL-DATE: July 25, 1990

INT-CL (IPC): G02F001/1343, G02F001/136 , H01L021/3205 , H01L027/12

US-CL-CURRENT: 349/158, 349/FOR.124

ABSTRACT:

PURPOSE: To obtain the liquid crystal display element which is free from the shorting defects between picture element electrodes and signal lines and has the excellent electrical connectability between the picture element electrodes and source electrodes by using transparent conductive films which consist of conductive particles and a resin and have 0.1 to 3 μ m film thickness as the picture element electrodes.

CONSTITUTION: A material prep'd. by dispersing and dissolving 40pts.wt. indium oxide particles contg. 5 atomic% tin and having 20nm average grain size and 30pts.wt. polymethacrylic polymer contg. 2.5wt.% benzophenone thickener in ethyl cellosolve and adjusting the viscosity of the soln. to 25cps is used as the material for forming the picture element electrodes. After this material is applied by a spinner method on a substrate, the coating is dried for 15 minutes at 100°C. The coating is then exposed to picture element electrode pattern shapes by an ordinary method and after the coated films of unexposed parts are developed away by using a developer of sodium orthosilicate, the substrate is washed and is heat treated for 30 minutes at 180°C, by which the picture element electrodes are formed. The film thickness after the treatment is specified to 0.1 to 3μm.

COPYRIGHT: (C)1992,JPO&Japio

⑫ 公開特許公報(A)

平4-81820

⑮ Int. Cl.⁵

識別記号

庁内整理番号

⑬ 公開 平成4年(1992)3月16日

G 02 F 1/1343
1/136

5 0 0

9018-2K

9018-2K

6810-4M

H 01 L 21/88

M※

審査請求 未請求 請求項の数 3 (全5頁)

⑭ 発明の名称 アクティブマトリクス基板及びこれを用いた液晶表示素子

⑯ 特 願 平2-194888

⑰ 出 願 平2(1990)7月25日

⑱ 発 明 者 頼 富 美 文 神奈川県横浜市戸塚区吉田町292番地 株式会社日立製作所生産技術研究所内

⑲ 発 明 者 小 下 敏 之 神奈川県横浜市戸塚区吉田町292番地 株式会社日立製作所生産技術研究所内

⑳ 発 明 者 中 谷 光 雄 神奈川県横浜市戸塚区吉田町292番地 株式会社日立製作所生産技術研究所内

㉑ 発 明 者 高 野 隆 男 神奈川県横浜市戸塚区吉田町292番地 株式会社日立製作所生産技術研究所内

㉒ 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地

㉓ 代 理 人 弁理士 小川 勝男 外1名

最終頁に続く

明 細 書

1. 発明の名称

アクティブマトリクス基板及びこれを用いた液晶表示素子

2. 特許請求の範囲

1. マトリクス状に配置した複数のスイッチング素子とこれら素子の各電極に接続する配線及び画素電極からなるアクティブマトリクス基板において、画素電極として導電性粒子と樹脂からなる0.1～3μm膜厚の透明導電膜を用いたことを特徴とするアクティブマトリクス基板。

2. 前記導電性粒子が酸化インジウムに酸化スズを添加したものであることを特徴とする請求項1記載のアクティブマトリクス基板。

3. 請求項1又は2記載のアクティブマトリクス基板を用いたことを特徴とする液晶表示素子。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明はマトリクス状に配置した複数のスイッチング素子と、これら素子の各電極に接続する配

線及び画素電極からなるアクティブマトリクス基板及び該アクティブマトリクス基板を用いた液晶表示素子に関する。

〔従来の技術〕

液晶表示装置用アクティブマトリクス基板の例として、Japan Display'89p510-513に示されるようなものがあり、一画素分の平面図を第2図に、その薄膜トランジスタ部の断面図を第3図に、その製造工程を第4図に示す。

図において、ガラス基板等の絶縁性基板1上に、クロム(Cr)等の金属膜からなるゲート電極2とシリコン窒化膜等からなるゲート絶縁膜3と、非晶質シリコン膜等からなる半導体膜4と、クロム(Cr)やアルミニウム(Al)等の金属膜からなるドレイン電極5及びソース電極6と、透明導電膜からなる画素電極7と、シリコン窒化膜等からなる保護膜8が順次形成されている。アクティブマトリクス基板では、ゲート電極2は走査線9に、ドレイン電極5は信号線10に、ソース電

極6は液晶セルの一方の電極となる画素電極7に、それぞれ接続されている。

このような従来のアクティブマトリクス基板の画素電極に用いる透明導電膜には、フラットパネルディスプレイ'90p257-263に示されるように、スパッタ法によって形成した酸化インジウム・スズ(ITO)透明導電膜が用いられている。

〔発明が解決しようとする課題〕

上記の従来技術においては画素電極用のITO透明導電膜をスパッタ法で形成するためスパッタ電力、基板温度等の成膜条件の変動によって、得られるITO透明導電膜の結晶性が変動し易い。このITO透明導電膜の結晶性の変動によってITO透明導電膜のエッチング性が変動し、基板内でエッチング残りが生じやすい。そしてエッチング残りはデータ配線と画素電極との間での短絡を生じさせ、スイッチング素子の状態にかかわらずデータ配線の信号が画素電極に伝わり、液晶表示素子として点欠陥となり、ショート欠陥が生じる

本発明では、画素電極の形成に導電性粒子と樹脂からなる液体状の材料を印刷法やスピナー法等を用いて塗布するため、塗膜は流動して平坦化し易く、ソース電極の段差部に対してもカバレッジ性が良く、ソース電極と良好な電極的接続が得られる。なお、硬化後の膜厚が $0.1\mu\text{m}$ より薄くなるとソース電極との接続抵抗が高くなる傾向があり、また、 $3\mu\text{m}$ より厚くしすぎると、液晶表示素子とするための液晶配向膜の印刷精度が低下し、表示素子の画質の低下を招く。

このため、膜厚は $0.1\mu\text{m}\sim 3\mu\text{m}$ であることが好ましい。

また、本発明では導電性粒子と樹脂からなる塗膜は印刷法でパターン状に形成したり、樹脂を感光性のものとし、塗布後に露光、現像でパターン化することができるため、ITO膜の加工で生じようようなエッチング残りが生じにくく、画素電極と信号線とのショートが発生しにくい。

更に、本発明で用いる導電性粒子としては、スズを含有する酸化インジウム、アンチモンを含む

という問題があった。また、画素電極用のITO透明導電膜をスパッタ法で形成すると、急峻な段差部でのITO透明導電膜のつきまわり性が悪く、ソース電極の段差部においてITO透明導電膜が段切れし、アクティブマトリクス基板において画素電極とソース電の電極的接続に不良が生じるという問題があった。

本発明の目的は、画素電極と信号線とのショート欠陥がなくてかつ画素電極とソース電極との電極的接続性に優れたアクティブマトリクス基板及び該アクティブマトリクス基板を用いた欠陥のない液晶表示素子を提供することにある。

〔課題を解決するための手段〕

上記目的を達成するために、アクティブマトリクス基板の画素電極の形成において、導電性粒子を樹脂中に含有したものをパターン印刷あるいは塗布、加熱硬化後、パターン状に加工する方法で形成し、その膜厚を $0.1\sim 3\mu\text{m}$ となるようにした。

〔作用〕

酸化スズ等があるが、スズを含有する酸化インジウムが最も抵抗値の低い塗膜が得られることから適している。なお、その粒径は 50nm 以下とするとソース電極と画素電極の接続抵抗、塗膜のシート抵抗が低くなり好ましい。

〔実施例1〕

本発明の実施例を第1図により説明する。第1図は、本発明を実施したアクティブマトリクス基板の薄膜トランジスタ部の断面構造を製造工程順に示したもので、次の(1)～(7)のプロセスによって形成した。

- (1) 透明ガラス基板等の絶縁性基板1上に、クロム(Cr)等の金属膜をスパッタリング法により成膜する。次いで、通常のエッチング工程によりゲート電極2のパターンを形成する(第1図(a))。
- (2) プラズマCVD法により、ゲート絶縁膜や層間絶縁膜として用いるシリコン窒化膜(Silicon Nitride)からなるゲート絶縁膜3と、半導体膜及び層間絶縁膜として用いる非晶質シリコン膜

4' (amorphous Silicon, 以下 a-Si 膜と呼ぶ) と、電極部コンタクトとして用いるリン(P)をドーピングした a-Si 膜(n-type a-Si 膜、以下 n+a-Si 膜と呼ぶ、図示せず)とを反応室の真空を破ることなく順次連続成膜する(第1図(b))。

(3) 通常のホトリソグラフィ工程とドライエッチングにより、a-Si 膜を素子分離し、半導体膜4のアイランドを形成する(第1図(c))。

(4) ドレイン電極、ソース電極及び信号線として用いるCr膜21及びAl膜22をスパッタリング法により順次成膜する(第1図(d))。

(5) 通常のホトエッチング工程により、Al膜とCr膜のエッチングを行い、薄膜トランジスタのドレイン電極5とソース電極6及び信号線(図示せず)を形成する。

次いで、薄膜トランジスタのチャネル上の n+a-Si 膜をドライエッチング等で除去し、薄膜トランジスタを得る(第1図(e))。

(6) 次に本発明と関連するアクティブマトリクス

基板の画素電極を形成する(第1図(f),(g))。

(7) エポキシ樹脂等により薄膜トランジスタの保護膜8を形成し、アクティブマトリクス基板を完成する(第1図(h))。

上記(6)の画素電極の形成の詳細な製造工程は次の方法で行った。

形成材料として平均粒径が20nmで、5atomic%のスズを含む酸化インジウム粒子40重量部、ベンゾフェノン系増加剤2.5wt%を含むポリメタクリル酸ポリマ30重量部をエチルセロソルブに分散、溶解し、粘度を25cpsとしたものを用いた。

この材料をスピナ法で、(5)までの工程で得た基板上に塗布した後(第1図(f-1))、100℃で15分間乾燥した(第1図(f-2))。次に通常の方法で画素電極パターン状に露光を行い、オルトケイ酸ソーダ系現像液を用いて未露光部の塗膜を現像除去した後水洗し、180℃で30分間熱処理することにより、画素電極を形成した(第1図(g))。

上記の方法で製造したアクティブマトリクス基板を調べた結果、画素電極と信号線とのショートはなかった。また、画素電極とソース電極との接続抵抗値を調べた結果、8~10KΩであり、良好な結果となった。さらに、このアクティブマトリクス基板を用いて液晶表示素子を作り、点灯試験を行って画質を調べた結果、各画素の明るさは均一であった。

〔実施例2〕

画素電極形成については次の方法とし、他は実施例1と同一の方法でアクティブマトリクス基板及び液晶表示素子を作成した。

画素電極形成材料として、平均粒径が10nmで5atomic%のスズを含む酸化インジウム粒子40重量部、透明エポキシ樹脂30重量部をエチルセロソルブアセートに分散、溶解し、粘度を25cpsとしたものを用いた。この材料をスピナ法で実施例1の(5)までの工程で得た基板上に塗布した後、150℃で30分間加熱した。次にこの塗膜上に市販のポジ型レ

ジストを用い、通常の方法で画素電極パターン状にホトレジストを形成し、酸素プラズマによって露出部の透明エポキシ樹脂を分解した後、スプレー水洗によって残留するスズを含む酸化インジウム粒子を除去した。次にポジ型ホトレジストを通常の方法で剥離し、洗浄、乾燥して画素電極を得た。

上記の方法で画素電極を形成したアクティブマトリクス基板を調べた結果、画素電極と信号線とのショートはなかった。また、画素電極とソース電極との接続抵抗値7~10KΩであり、良好な結果となった。さらに、このアクティブマトリクス基板を用いて液晶表示素子を作り、点灯試験を行って画質を調べた結果、各画素の明るさは均一であった。

〔発明の効果〕

本発明によれば、画素電極と信号線とのショート欠陥がなく、画素電極とソース電極との接続性に優れたアクティブマトリクス基板を歩留り良く製造することができ、このアクティブマ

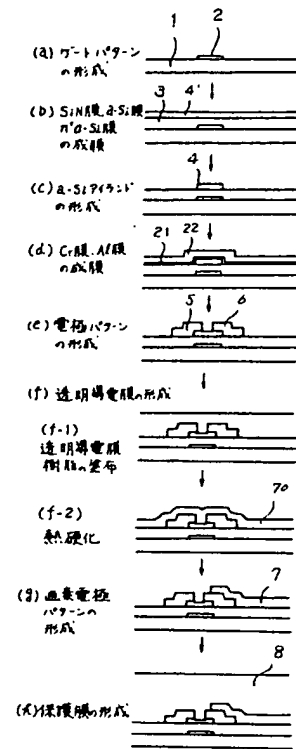
トリクス基板を用い、画質の良好な液晶素子を得ることができる。

4. 図面の簡単な説明

第1図は、本発明によるアクティブマトリクス基板の実施例の製造工程を示す工程図、第2図及び第3図は、従来のアクティブマトリクス基板の一部分を示す平面及び断面図、第4図は、従来のアクティブマトリクス基板の製造工程である。

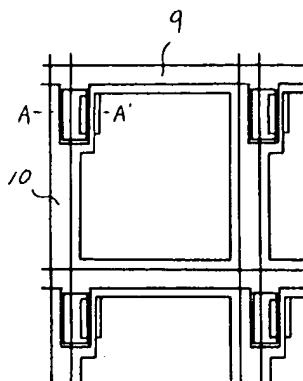
- | | |
|-----------|----------|
| 1…絶縁性基板、 | 2…ゲート電極、 |
| 3…ゲート絶縁膜、 | 4…半導体膜、 |
| 5…ドレイン電極、 | 6…ソース電極、 |
| 7…画素電極、 | 8…保護膜、 |
| 9…走査線、 | 10…信号線、 |
| 21…Cr膜、 | 22…Al膜、 |
| 70…透明導電膜。 | |

第1図

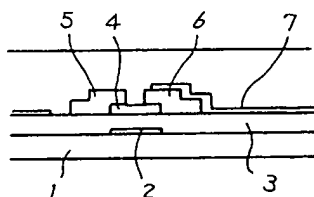


代理人弁理士 小川勝男

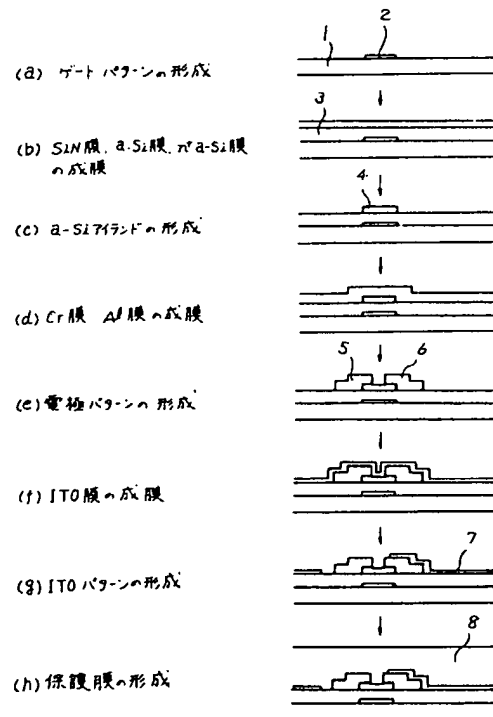
第2図



第3図



第4図



第1頁の続き

⑤Int.Cl.⁵

H 01 L 21/3205
27/12

識別記号

庁内整理番号

A

7514-4M